

公開実用 昭和62- 110799

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62- 110799

⑬ Int.Cl. 4

G 11 C 17/00

識別記号

3 0 7

庁内整理番号

6549-5B

⑭ 公開 昭和62年(1987)7月15日

審査請求 未請求 (全 頁)

⑮ 考案の名称 メモリ装置

⑯ 実 願 昭60-199468

⑰ 出 願 昭60(1985)12月27日

⑱ 考 案 者	八 ツ 田 豊	川崎市川崎区田辺新田1番1号 富士電機株式会社内
⑲ 考 案 者	吉 田 裕	日野市富士町1番地 富士フアコム制御株式会社内
⑳ 出 願 人	富士電機株式会社	川崎市川崎区田辺新田1番1号
㉑ 出 願 人	富士フアコム制御株式 会社	日野市富士町1番地
㉒ 代 理 人	弁理士 谷 義 一	

明 細 書

1. 考案の名称

メ モ リ 装 置

2. 実用新案登録請求の範囲

プログラムの書込みが可能な不揮発性のメモリと、該メモリの記憶容量および／または前記書込み時の書込み電圧に関する情報を含めたメモリ構成情報を格納する格納手段とを具えたことを特徴とするメモリ装置。

(以 下 、 余 白)

1125

3. 考案の詳細な説明

[産業上の利用分野]

本考案は、メモリ装置に関し、詳しくはプログラマブルROM (PROM)、イレーザブル・プログラマブルROM (EPROM) 等不揮発性メモリを搭載したメモリカセット等のメモリ装置に関するものである。

[従来技術]

従来より、この種のメモリ装置として、例えばプログラマブル・コントローラのシーケンスプログラムを格納するためにEPROM を搭載したメモリカセットがある。このようなメモリカセットは、プログラム書込み装置によりプログラムを書込まれるものである。

ここで、EPROM 等不揮発性メモリには、その記憶容量が例えば128Kバイト、256Kバイト等各種のものがあ、また、その書込み時の電圧についても12.5V や21V 等各種のものが存在する。

[考案が解決しようとする問題点]

しかしながら、従来のメモリ装置では、これら

記憶容量や書込み電圧等、搭載したEPROM に関する情報（以下、構成情報という）をプログラム書込み装置側からは知ることが困難であったので、プログラム書込み処理にあたっては操作者によってそれら構成情報を適宜書込み装置に与えなければならず、さらに書込みの仕様をも設定する必要があった。従って従来メモリ装置には、その書込み処理時に操作者の負担を増大し書込み処理効率を低下させるという問題点があった。

〔問題点を解決するための手段〕

本考案は、かかる従来の問題点を解決し、プログラム書込み装置を用いた書込み処理にあたって操作者の負担を低減化し、書込み処理効率を向上できるメモリ装置を提供することを目的とする。

そのため、本考案では、プログラムの書込みが可能な不揮発性のメモリと、該メモリの記憶容量および／または前記書込み時の書込み電圧に関する情報を含めたメモリ構成情報を格納する格納手段とを具えたことを特徴とする。

〔作用〕

すなわち、本考案によれば搭載したメモリの記憶容量や書込み電圧等構成情報を格納する格納手段を設けたので、プログラムの書込みにあたっては単にプログラム書込み装置がその格納手段の格納内容を参照することにより適宜の設定を行って書込み処理を行うことができるようになり、以て操作者の負担を著しく低減できることになる。

〔実施例〕

以下、図面を参照して本考案を詳細に説明する。

第1図は本考案の一実施例であり、本例に係るメモリ装置1をコネクタ7を介してプログラム書込み装置2に結合させた状態を示す。

メモリ装置1において、3はプログラムを記憶するためのEPROM、5はプログラム書込み装置2側から伝送されてくるプログラムデータをEPROM3に書込むためのデコーダである。4は本例に係る構成情報の格納部であり、例えばコネクタ7のピンを適切に配設したものとすることができる。ま

た、この格納部7としては、例えばDIPスイッチ等のスイッチや、あるいはROM等のメモリを用いてもよい。

プログラム書込み装置2において、15はコネクタ7を介して供給される構成情報を読み込むためのデコーダである。6は読込んだ構成情報を基に内部バス8を介してプログラムデータをメモリ装置1に供給するための書込み制御部である。

第2図はこの書込み制御部の一構成例を示す。ここで、60は例えばマイクロコンピュータ形態のCPU、62は外部より入力された書込みに係るプログラムデータを格納するためのプログラムメモリ、64は例えば第3図の書込み処理手順を始めCPU 60が実行する制御手順を格納したシステムメモリ、66は構成情報の格納等に用いる作業用のメモリ、68はCPU 60により書込み電圧の設定が可能な増幅器である。

すなわち、本例によれば、第2図のような制御部を有する書込み装置を用いて以下のような書込み処理が可能となる。

第3図は本例に係るメモリ装置への書き込み処理手順の一例を示す。まず、ステップS2においては格納部4から各EPROM3の構成情報を読み込み、作業用メモリ66の所定領域に展開し、ステップS4にて、この構成情報を基に、1つのEPROMの容量を認識するとともに、その書き込み電圧を増幅器68に設定する。

次いでステップS6にてプログラムメモリ62からプログラムデータをEPROMに転送する。このときEPROMにはその適正な書き込み電圧にて書き込みが行われることになる。次にステップS8にてプログラムの書き込み処理終了か否かを判定し、否定判定であればステップS10に進み、書き込み中のEPROMの記憶容量までデータが書き込まれたか否かを判定する。ここで否定判定であればステップS6に復帰して当該EPROMに書き込みを続行し、肯定判定であればステップS4に復帰して次のEPROMに関しての設定等を行った後、ステップS6に移行する。

このように、搭載されているEPROMの構成情報

をメモリ装置内部に持たせれば、書込み装置は、その構成情報を読出すことによりメモリ装置内のEPROMの構成情報を得られることとなり、メモリ装置に搭載されているEPROMの構成情報を操作者によって設定する必要がなくなり、操作者の負担を軽減できると共に、構成情報に応じて書込み仕様を書込み装置において選択することができるようになる。

また、構成情報の格納部に、搭載されているEPROM個々の種類を示す構成情報を格納しておけば、同一メモリ装置に数種類のEPROMを搭載することができるようになる。

[考案の効果]

以上説明したように、本考案によれば、プログラム書込み装置を用いた書込み処理にあたって、操作者の負担を軽減でき書込み処理効率を格段に高めることができるメモリ装置を実現できる。

4. 図面の簡単な説明

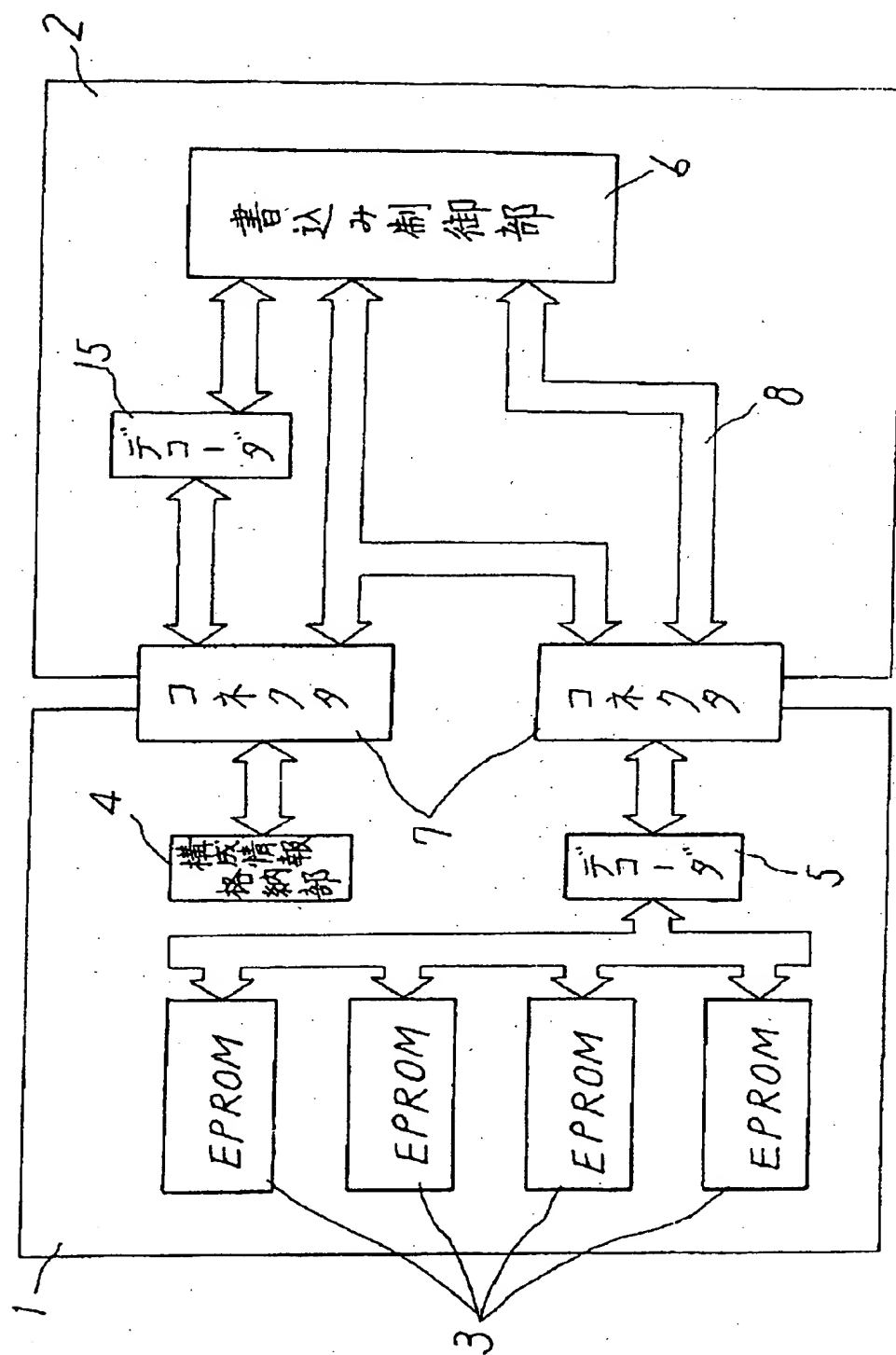
第1図は本考案の一実施例を示すブロック図、

1131

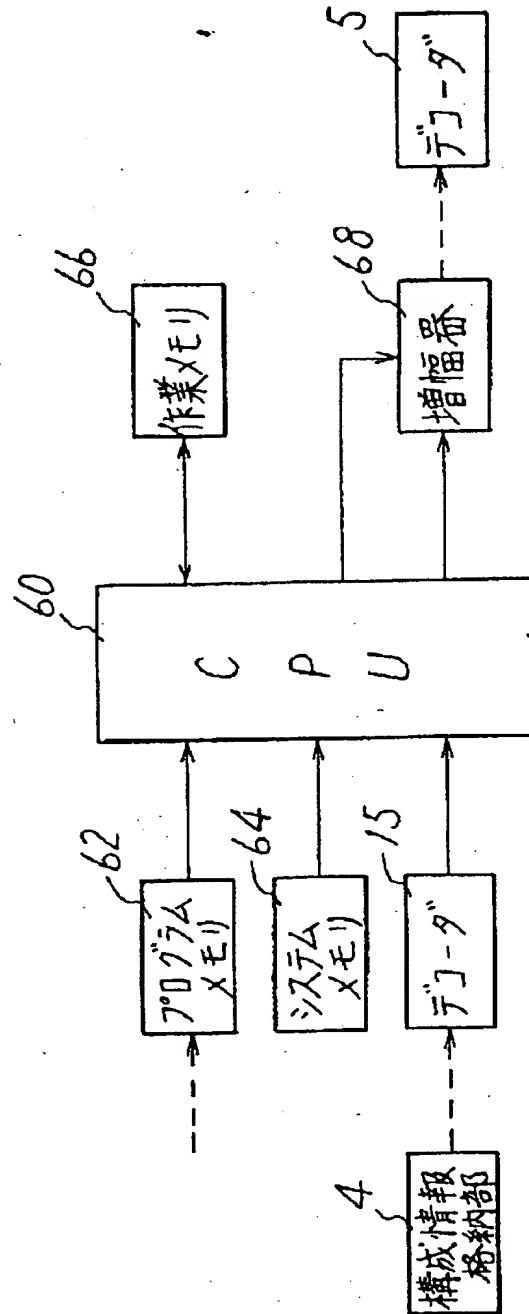
第2図は本考案に係るメモリ装置に対してプログラム書込みを行うプログラム書込み装置の一構成例を示すブロック図、

第3図は第2図示の装置による書込み処理手順の一例を示すフローチャートである。

- 1 ...メモリ装置、
- 2 ...プログラム書込み装置、
- 3 ...EPROM、
- 4 ...構成情報格納部、
- 5, 15 ...デコーダ、
- 6 ...書込み制御部、
- 7 ...コネクタ。

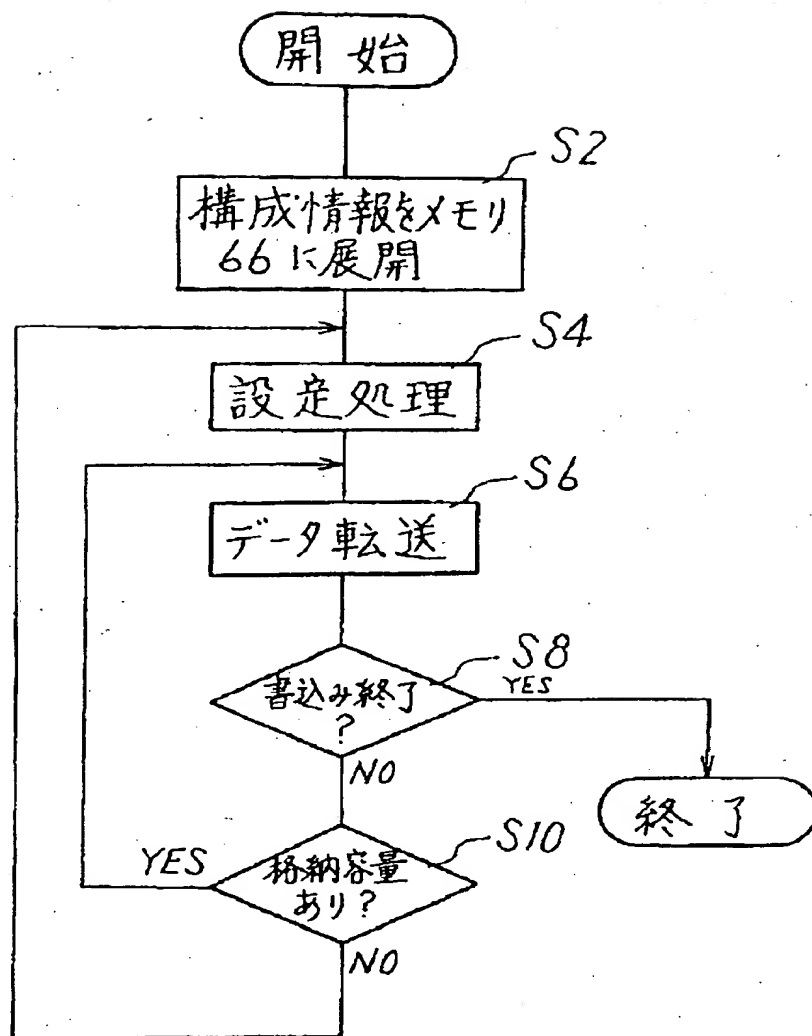


第1図



第2図

1134



第 3 図